

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08201481
PUBLICATION DATE : 09-08-96

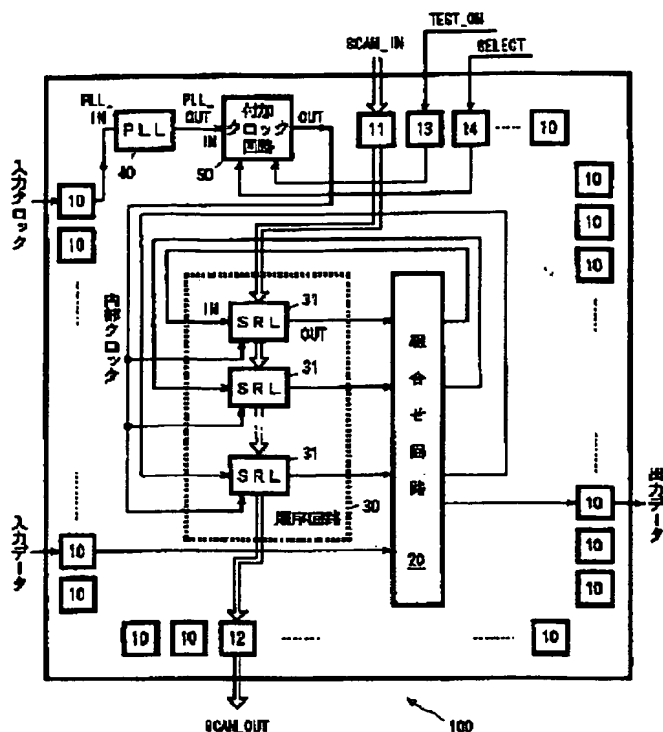
APPLICATION DATE : 27-01-95
APPLICATION NUMBER : 07011597

APPLICANT : INTERNATL BUSINESS MACH CORP
<IBM>;

INVENTOR : TAKAGAKI SHUNICHI;

INT.CL. : G01R 31/28 H01L 21/66

TITLE : SEMICONDUCTOR INTEGRATED
CIRCUIT



ABSTRACT : PURPOSE: To enable a delay pulse test at a high frequency equivalent to an internal clock by generating a high-frequency clock signal based on an input clock and generating a delay pulse with the same delay width as the period thereof.

CONSTITUTION: A PLL circuit 40 converts 33MHz low-frequency clock which is inputted 10 to 100MHz high-frequency clock signal, and supplies it to an additional clock circuit 50. The circuit 50 starts generating a clock (a delay pulse comprising two pulse waves) at the same interval as the high-frequency clock frequency generated internally by the circuit 40. An order circuit block 30 of scan path design successively outputs 12 data every time it receives clocks by inputting 11 data, and forms a shift register on testing. In a delay pulse test mode where a select signal 14 is L, the circuit 50 distributes generated clocks to each latch circuit 31, thus executing the delay pulse test of the block 30 in terms of AC.

COPYRIGHT: (C)1996,JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-201481

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/66

F

G 0 1 R 31/ 28

G

V

審査請求 有 請求項の数 6 O L (全 10 頁)

(21)出願番号

特願平7-11597

(22)出願日

平成7年(1995)1月27日

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 高垣 俊一

神奈川県大和市下鶴間1623番地14、日本アイ・ビー・エム株式会社 大和事業所内

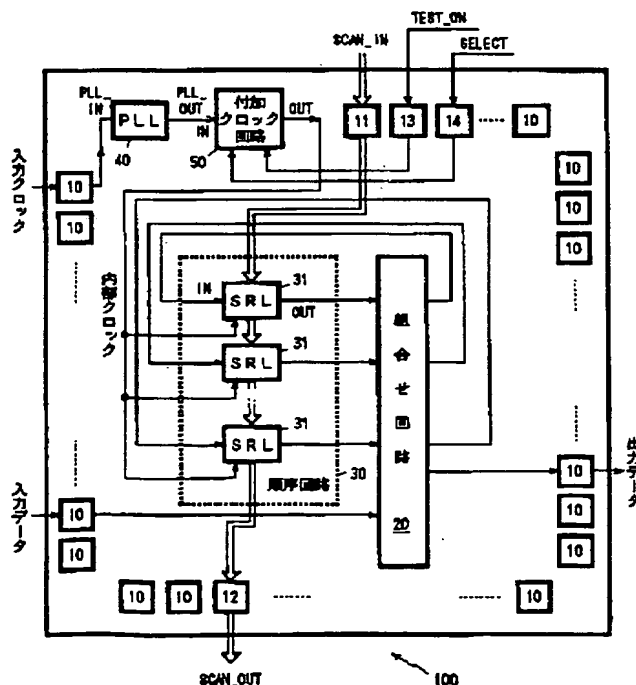
(74)代理人 弁理士 合田 潔 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】故障診断のためのスキャン・パス設計になっており且つ同期的に動作する半導体集積回路であって、内部クロックと同等の高周波でディレイ・パルス試験を行なえる半導体集積回路を提供する。

【構成】比較的低周波のクロック信号を外部から入力して、入力クロックに基づいて半導体集積回路の通常動作時と同じ比較的高周波のクロック信号を内部のクロック発生部(例えばPLL回路)で発生して、内部クロック信号の周期と同じ遅延幅をもつディレイ・パルスを生成するようにした。したがって、該ディレイ・パルスをタイミングとしてスキャン・パス試験すれば、半導体集積回路の通常の動作と同じAC的な試験を行なえるので、クロック・スキューの問題も充分検証することができる。



【特許請求の範囲】

【請求項1】 スキャン・パス設計された複数の順序回路を含む回路ブロックで構成され、且つ同期的に動作する半導体集積回路において、内部回路の動作を検査するためのテスト・パターンを外部から受け取るためのテスト・パターン入力部と、第1の周期をもつ第1のクロック信号を外部から受け取るためのクロック入力部と、第1のクロック信号に基づいて第1の周期よりも短い第2の周期をもつ第2のクロック信号を発生するクロック発生部と、第2のクロック信号に基づいて第2の周期だけ間隔をおいた2つのパルス波からなるディレイ・パルスを発生するディレイ・パルス発生部とを含み、該ディレイ・パルスをクロックに用いてスキャン・パス回路を試験可能なことを特徴とする半導体集積回路。

【請求項2】 スキャン・パス設計された複数の順序回路を含む回路ブロックで構成され、且つ同期的に動作する半導体集積回路において、内部回路の動作を検査するためのテスト・パターンを外部から受け取るためのテスト・パターン入力部と、第1の周期をもつ第1のクロック信号を外部から受け取るためのクロック入力部と、第1のクロック信号に基づいて第1の周期よりも短い第2の周期をもつ第2のクロック信号を発生するクロック発生部と、第2のクロック信号に基づいて第2の周期だけ遅延時間をおいてパルス波を順次出力する発生するディレイ・パルス発生部とを含み、該パルス波をクロックに用いてスキャン・パス回路を試験可能なことを特徴とする半導体集積回路。

【請求項3】 スキャン・パス設計された複数の順序回路と、内部回路の動作を検査するためのテスト・パターンを外部から受け取るためのテスト・パターン入力部と、第1の周期をもつ第1のクロック信号を外部から受け取るためのクロック入力部と、第1のクロック信号に基づいて第1の周期よりも短い第2の周期をもつ第2のクロック信号を発生するクロック発生部とを含み、且つ同期的に動作する半導体集積回路において、さらに、第2のクロック信号を入力して第2のクロック信号又は第2の周期だけ遅延時間をおいた2つのパルス波からなるディレイ・パルスのいずれか一方を出力する付加的クロック供給部を具備したことを特徴とする半導体集積回路。

【請求項4】 前記付加的クロック供給部は、スキャン・パス・テストを行なうときのみディレイ・パルスを出力し、それ以外の期間は第2のクロック信号をそのまま出力することを特徴とする請求項3に記載の半導体集積回路。

【請求項5】 複数の順序回路を含む回路ブロックで構成される半導体集積回路において、第1の周期をもつ第1のクロック信号を外部から受け取るためのクロック入力部と、第1のクロック信号に基づいて第1の周期よりも短い第2の周期をもつ第2のクロック信号を発生するクロック発生部と、第2のクロック信号を入力して前記順

序回路のタイミングをとるための第3のクロック信号を生成するためのクロック信号変換処理部と、を含むことを特徴とする半導体集積回路。

【請求項6】 前記クロック信号変換処理部は、第2の周期だけ間隔をおいた2つのパルス波からなるディレイ・パルスを生成することを特徴とする請求項5に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】 本発明は、内部に試験回路を含む半導体集積回路に係り、特に、故障診断のためのスキャン・パス設計になっている順序回路を含む同期型の半導体集積回路に関する。更に詳しくは、本発明は、スキャン・パス (Scan Path) 設計された同期型の半導体集積回路であって、内部クロックと同等の高周波でディレイ・パルス (Delay Pulse) 試験を行なえる半導体集積回路に関する。

【0002】

20 【従来の技術】 昨今の技術革新に伴い、ゲート・アレイ (Gate Array) などのASIC (Application Specific Integrated Circuit: 特殊用途IC) を用いた半導体集積回路が広範に普及してきた。

【0003】 半導体集積回路は、通常、多数のプロセス (露光・成膜工程や、切断、マウンティング、ボンディング (接続)、シーリング (封止) などの組立工程など) を経て製造されるゆえ、製造コストは当然高くつく。不良や欠陥のあるウェーハやチップを次工程に流してはコストの浪費になる。したがって、各プロセス毎にチップが正常に動作するか否かをテストすることによって、製造プロセスの早い段階で不良ウェーハ/不良チップを見つけて出して修正し又は除去する必要がある。このテストは、一般には、テスト・パターン (検査系列) を入力するとともに、入力された各テスト・パターンに対して正常な出力パターン (すなわち期待値) が得られたかどうかをチェックすることによって行なう。なお、テスト・パターンは、外部の試験装置 (LSI テスター) のプローブをチップ上のI/Oパッドに押し当てることによって、チップに供給され且つ読み取られる。

30 【0004】 半導体集積回路は、組合せ回路 (すなわち、OR、AND、NOTゲートなどのように、回路の出力がその時点の入力のみによって定まる回路) と、順序回路 (すなわち、フリップ・フロップ (ラッチともいう) などのように、その時点の入力だけでなく過去の入力 (若しくは内部状態) に依存して出力が定まる回路) とで構成されていると把えることができる。半導体集積回路のうちの組合せ回路部分の動作確認テストは比較的容易である。何故ならば、組合せ回路は、入力データと期待値との因果関係が簡明で解析が容易であるとともに、入力と同時に出力が得られるので検査サイクルが短くて済むからである。これに対して、順序回路のテスト

は容易ではない。何故ならば、順序回路は、同じ入力パターンであっても既に保持している内部状態との組合せによって出力が変わるため、テスト・パターンは複雑且つ長大になってしまうからである。また、順序回路は、通常、クロック周期で入力を受け取るため、その分検査サイクルも長くなってしまふ。このため、テスト・モードでは内部の各ラッチ回路がシリアル状の接続に切り換って1つのシフト・レジスタ（「スキャン・パス (Scan Path) 回路」ともいう）を形成できるように設計するようにしている半導体集積回路もある。シフト・レジスタであれば、直列接続されたフリップ・フロップの個数だけクロックを入力することによって全てのフリップ・フロップの内部状態を自在に設定することができ、したがってテスト・パターンの作成も容易となるからである。現在、スキャン・パス設計を取り入れた各種半導体集積回路が開発され実用化されている。いわゆるLSSD (Level Sensitive Scan Design) はスキャン・パス設計の一例である。

【0005】スキャン・パス回路は、上述したようにテスト・パターンの作成が容易な反面、クロック・スキューの問題を包含している。ここで、「クロック・スキュー」とは、配線間の遅延のため、順序回路が正常に動作しない現象のことをいう。例えば図5(a)に示すスキャン・パス回路において、フリップ・フロップの間に接続された組合せ回路等の通過による配線遅延のために、先行するDフリップ・フロップの出力Qが次のクロックまでの間に後続のDフリップ・フロップに届かず、データがラッチされない。あるいは、先行するDフリップ・フロップが次の入力をラッチした時点で後続のDフリップ・フロップが未だ開いたままの状態のため、次のタイミングで取り込むべきデータ（すなわち先行するDフリップ・フロップの出力）を取り込んでしまい、データが突き抜けてしまう。このため、スキャン・パス設計されたLSIに対しては、内部のフリップ・フロップ回路の出力を所定の状態に設定して、動作クロックと同程度の間隔をおいた2つのパルス波からなるディレイ・パルス（図5(b)参照）をクロックとして代用して、連続するフリップ・フロップ間でクロック時間内に正常にデータの伝達が行なわれていることも併せて検査する必要がある。このような検査を「ディレイ・パルス試験」ともいう。特に、同期式の集積回路の場合、各々の順序回路はデータの伝達を待たず単にクロックに従って同期的に動作するので、クロック・スキューの問題はより重要である。そして、通常の動作時にもクロック・スキューが起らないことを確認するためには、集積回路の通常の動作速度と同じタイミングで（すなわちディレイ・パルス中のパルス間隔をクロック周期と略同一にして）、スキャン・パス試験を行なうことが好ましい。

【0006】ところで、半導体集積回路を検査する際のクロック信号やディレイ・パルスの入力、従来、プロ

ーブを半導体集積回路上のI/Oパッドに接触させることによって外部の専用試験装置（いわゆるLSIテスター）や発振器から与えられていた。プローブを介した入力は、従来の集積回路の動作周波数（約30MHz）程度の動作周波数では問題ない。しかしながら、50MHzや100MHzなどの高速なクロック信号は、プローブによる入力では対処できない。何故ならば、高速な周波数の信号は、LSIテスター自体や試験台（パフォーマンス・ボード）上のインダクタンスの影響を受けて、リンギングを起し易いからである。また、LSIテスターや試験台（パフォーマンス・ボード）上の浮遊容量の影響を受けるため、本来ディスクリットな矩形であるはずの電圧波形がなまって低周波成分になってしまい、クロック信号として役に立たなくなるからである。高周波クロックの外部からの入力の問題を回避するためには、試験時には通常の動作時よりも低周波（例えば5MHz程度）のクロックを用いることも考えられる。しかし、低周波クロックを用いた場合、素子の動作速度を全く無視するものであり、単にハイ・レベル又はロー・レベルの直流電圧をタイミングとして与えているに過ぎず、DC的な検査と等価である。当然、集積回路の通常の動作速度と同じAC的なタイミングで順序回路間のクロック・スキュー検査を行なったことにはならない。

【0007】なお、試験装置（LSIテスター）を改良して高速の周波数をプローブ入力させる、ということも、現在の技術水準を考量すれば、全く不可能という訳ではない。しかしながら、高速周波数のクロック信号を急峻な波形のまま外部に出力することは困難であり、高価な発振器が必要となる。このため、プローブ1本あたりの単価が100万円程度となり、256ピンの半導体集積回路を試験するためのLSIテスターは2億円相当となり、結果的には高いものになってしまう。

【0008】現在、インテル社が市販するDX2、DX4や、米IBM社と米モトローラ社、米アップル・コンピュータ社が共同開発したPowerPC603（PowerPCは米IBM社の登録商標）のように50MHz以上で動作するプロセッサが主流になりつつある。この点を考量しても、スキャン・パス回路に正確なディレイ・パルスを供給できる装置又は手法が望まれていることが理解できるであろう。

【0009】

【発明が解決しようとする課題】本発明の目的は、故障診断のためのスキャン・パス設計を有する同期型の、優れた半導体集積回路を提供することにある。

【0010】本発明の更なる目的は、故障診断のためのスキャン・パス設計を有する同期型の半導体集積回路であって、内部クロックと同等の高周波でディレイ・パルス試験を行なえる半導体集積回路を提供することにある。

【0011】

【課題を解決するための手段及び作用】本発明は、上記課題を参酌してなされたものであり、その第1の側面は、スキャン・パス設計された複数の順序回路を含む回路ブロックで構成され、且つ同期的に動作する半導体集積回路において、内部回路の動作を検査するためのテスト・パターンを外部から受け取るためのテスト・パターン入力部と、第1の周期をもつ第1のクロック信号を外部から受け取るためのクロック入力部と、第1のクロック信号に基づいて第1の周期よりも短い第2の周期をもつ第2のクロック信号を発生するクロック発生部と、第2のクロック信号に基づいて第2の周期だけ間隔をおいた2つのパルス波からなるディレイ・パルスを発生するディレイ・パルス発生部とを含み、該ディレイ・パルスをクロックに用いてスキャン・パス回路を試験可能なことを特徴とする半導体集積回路である。

【0012】また、本発明の第2の側面は、スキャン・パス設計された複数の順序回路を含む回路ブロックで構成され、且つ同期的に動作する半導体集積回路において、内部回路の動作を検査するためのテスト・パターンを外部から受け取るためのテスト・パターン入力部と、第1の周期をもつ第1のクロック信号を外部から受け取るためのクロック入力部と、第1のクロック信号に基づいて第1の周期よりも短い第2の周期をもつ第2のクロック信号を発生するクロック発生部と、第2のクロック信号に基づいて第2の周期だけ遅延時間をおいてパルス波を順次出力する発生するディレイ・パルス発生部とを含み、該パルス波をクロックに用いてスキャン・パス回路を試験可能なことを特徴とする半導体集積回路である。

【0013】また、本発明の第3の側面は、スキャン・パス設計された複数の順序回路と、内部回路の動作を検査するためのテスト・パターンを外部から受け取るためのテスト・パターン入力部と、第1の周期をもつ第1のクロック信号を外部から受け取るためのクロック入力部と、第1のクロック信号に基づいて第1の周期よりも短い第2の周期をもつ第2のクロック信号を発生するクロック発生部とを含み、且つ同期的に動作する半導体集積回路において、さらに、第2のクロック信号を入力して第2のクロック信号又は第2の周期だけ遅延時間をおいた2つのパルス波からなるディレイ・パルスのいずれか一方を出力する付加的クロック供給部を具備したことを特徴とする半導体集積回路である。

【0014】また、本発明の第4の側面は、複数の順序回路を含む回路ブロックで構成される半導体集積回路において、第1の周期をもつ第1のクロック信号を外部から受け取るためのクロック入力部と、第1のクロック信号に基づいて第1の周期よりも短い第2の周期をもつ第2のクロック信号を発生するクロック発生部と、第2のクロック信号を入力して前記順序回路のタイミングをとるための第3のクロック信号を生成するためのクロック

信号変換処理部と、を含むことを特徴とする半導体集積回路である。

【0015】しかして、本発明によれば、比較的低周波のクロック信号を外部から入力して、入力クロックに基づいて半導体集積回路の通常動作時と同じ比較的高周波のクロック信号を内部のクロック発生部（例えばPLL回路）で発生して、内部クロック信号の周期と同じ遅延幅をもつディレイ・パルスを生成するようにした。したがって、該ディレイ・パルスをタイミングとしてスキャン・パス試験すれば、半導体集積回路の通常の動作と同じAC的な試験を行なえるので、クロック・スキューの問題も充分検証することができる。

【0016】本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や添付する図面に基づくより詳細な説明によって明らかになるであろう。

【0017】

【実施例】

【0018】A. 半導体集積回路チップの構成

図1は、本発明を具現した半導体集積回路チップ100のうち、本発明の要旨に特に関連する構成要素のみを抽出して示した概観図である。該半導体集積回路チップ100は、入出力(I/O)パッド10…と、組合せ回路ブロック20と、順序回路ブロック30と、PLL回路40と、付加的クロック回路50とで構成される。

【0019】I/Oパッド10は、外周器端子（図示しない）とのボンディング等の便宜のため、チップ100上の周辺部分に配設されている。I/Oパッドには、外部からデータを入力するための入力用のパッド、演算処理結果を外部に出力するための出力用のパッド、外部から同期用のクロック信号を受け取るためのパッドの他に、スキャン・イン(SI)・パッド11、スキャン・アウト(SO)・パッド12、TEST_ONパッド13、SELECTパッド14がある。SIパッド11は、順序回路ブロック30の内部状態設定用のシリアル・データを、外部のLSIテスターから順次入力するためのものである。また、SOパッド12は、順序回路ブロック30内で形成されたシフト・レジスタの出力を読み取るためのものである。また、TEST_ONパッド13とSELECTパッド14は、付加的クロック回路50の動作制御用の信号を入力するためのものである（後述）。

【0020】組合せ回路ブロック20と順序回路ブロック30は、半導体集積回路チップ100のうちで、実質的な論理演算を行なう回路部分である。各素子間の配線は、チップ100の用途に依存する問題であり、本発明の要旨とは関係ないので詳細な説明は省略する。

【0021】順序回路ブロック30は、複数のラッチ回路（以下、SRL(Shift Register Latch)ともいう）31…で構成されている。一群のSRL31…は、スキャン・パス設計になっており、テスト実行時にはシリアル状の接続に切り換わってシフト・レジスタを形成でき

るようになっている。そして、順序回路ブロック30全体としては、S1パッド11を介してシリアル状のデータを受け取るとともに、クロックを受け取る毎にS0パッド12からデータを順次出力するようになっている。

【0022】PLL (Phase Lock Loop) 回路40は、既に周知のように、入力した発振周波数を所定の基準周波数に一致させることができる回路であり、本実施例では、I/Oパッド10から入力した周波数の逡倍のクロック信号を後続の付加的クロック回路50に供給する目的で、PLL回路40を用いている。すなわち、I/Oパッド10からはなまりを生じない程度の低周波数である33MHzのクロックを入力しておき、PLL回路40によって約3倍の100MHzの周波数にロックして、後続の付加的クロック回路50にCLK_inとして供給する訳である。100MHzという周波数は、外部からは与えにくい程度の高周波であるが、チップ100で内部的に発生させているので、信号のなまりの問題はない。PLL回路40の内部構成は図2に例示してある(後述)。

【0023】付加的クロック回路50は、順序回路ブロック30に対して同期用のクロック信号(CLK-out)を供給するための回路であり、より具体的には、PLL回路40から内部的に発生したクロック信号(CLK_in)を受け取って、このクロック周波数と同じ間隔(100MHzなら 2×10^{-8} 秒間)で2発のパルス波を生成して、各SRL31…にクロック信号CLK-outとして分配できるようになっている。これによって、順序回路ブロック30のディレイ・パルス試験をAC的に行なえる訳である。

【0024】また、付加クロック回路50は、I/Oパッド13、14の各々から入力されるTEST_ON信号及びSELECT信号によって外部から動作モードを制御できるようになっている。このうち、SELECT信号は、ディレイ・パルス試験モードか通常のオペレーションかを選択するための信号である。すなわち、SELECT信号がハイ(High)・レベルの間はチップ100は通常のオペレーション時であり、付加的クロック回路50はPLL回路40から入力した(例えば100MHzの)クロック信号(CLK_in)をそのまま各SRL31…に分配する。逆に、SELECT信号がロー(Low)・レベルの間は、ディレイ・パルス試験モード時であり、付加的クロック回路50内で発生したクロック(すなわち2発のパルス波からなるディレイ・パルス)を各SRL31…に分配する。一方、TEST_ON信号は、付加的クロック回路50に対してディレイ・パルス試験の開始を告げるための信号であり、付加的クロック回路50はTEST_ON信号がハイ・レベルに遷移したのに応答してディレイ・パルスの生成を開始するようになっている。付加クロック回路50の内部構成は図3に例示してある(後述)。

【0025】B. PLL回路

図2には、本実施例に利用可能なPLL回路40の構成を例示している。同図において、PLL回路40は、1/n分周回路41と、位相比較回路42と、低域フィルタ43と、アンプ44と、電圧制御発振回路(VCO)45と、1/m分周回路46とで構成される。

【0026】分周回路41、46は周波数を整数分の一倍にする回路であり、1/n分周回路41はI/Oパッド10を介して外部から入力したクロックの周波数 f_i を1/nにし、また、1/m分周回路46はVCO45が出力した周波数 f_o を1/mにするようになっている。位相比較回路42は、各分周回路41、46の出力周波数 f_i/n 、 f_o/m を入力し、両者を比較してその位相差 $f_i/n - f_o/m$ に比例した誤差信号を出力するようになっている。この誤差信号は、低域フィルタ43で低周波のノイズ部分が除去され、アンプ44で増幅されてから、VCO45に制御電圧 V_c として入力されるようになっている。VCO45は、基準信号のない場合は固有の発振周波数 f_o を出力するとともに、制御電圧 V_c に応じて周波数 f_o を変化させるようになっている。したがって、回路42、43、44、45、46で構成されるループは、制御電圧 V_c が小さくなる方向に出力周波数 f_o を変化させて、 f_i/n と f_o/m の位相を一致させるようになっている。そして、 f_i/n 、 f_o/m の位相が一致すると、この状態をロックするように作用し、入力周波数 f_i の変化に追従して動作するようになっている。

【0027】PLL回路40がロック状態では、入力周波数 f_i と出力周波数 f_o の間には下式(1)

$$f_i/n = f_o/m \quad \cdots (1)$$

が成立するので、VCO45の出力周波数 f_o は、下式(2)の値にロックされることになる。

$$f_o = m \cdot f_i/n \quad \cdots (2)$$

【0028】本実施例では、外部からの入力クロック f_i は33MHzなので、 $m/n=3$ となるように各分周回路41、46のパラメータを設定することによって、チップ100の内部クロック100MHzのクロック信号CLK_inを生成することができる訳である。

【0029】なお、PLL回路自体は、前述したように既に周知であり、図2に示す構成に限定されるものではない。

【0030】C. 付加的クロック回路

図3には、本実施例に利用可能な付加的クロック回路50の詳細な構成を例示している。同図において、付加的クロック回路50は、6個のDフリップ・フロップ(DFF)51、52、53、54、55、56と、NOTゲート61と、4個のANDゲート62、63、64、65と、ORゲート66と、セクタ回路67とで構成される。

【0031】各DFF51…は、入力信号を次のクロック・パルスまで遅らせて出力する遅延回路である(周

知)。DFF51, 52, 55はPLL回路40の出力(CLK_in)をそのままCLK端子に入れ、その他のDFF53, 54, 56はNOTゲート61を介してCKL_inをCLK端子に反転入力している。DFF51は、外部からのTEST_ON信号を入力して、その出力QをANDゲート62の一方の入力端子とDFF52とに与えている。DFF52は、その反転出力NQをANDゲート62の他方の入力端子に与えている。ANDゲート62は、DFF51の出力Q(DFF51_Q)とDFF52の反転出力NQ(DFF52_NQ)の論理積を、DFF55とANDゲート64の双方に入れている。DFF55は、その出力QをANDゲート65の入力端子の一方に与えている。DFF53は、DFF51同様にTEST_ON信号を入力して、その出力QをANDゲート63の一方の入力端子とDFF54とに与えている。DFF54は、その反転出力NQをANDゲート63の他方の入力端子に与えている。ANDゲート63は、DFF53の出力Q(DFF53_Q)とDFF54の反転出力NQ(DFF54_NQ)の論理積を、DFF56とANDゲート64の双方に入れている。ANDゲート64は、ANDゲート62の出力とANDゲート63の出力の論理積をORゲート66の一方の入力端子に入れている。DFF56は、その出力QをANDゲート65の他方の入力端子に与えている。ANDゲート65は、DFF55の出力Q(DFF55_Q)とDFF56の出力Q(DFF56_Q)の論理積をORゲート66の他方の入力端子に入れている。ORゲート66は、ANDゲート64, 65の各出力の論理和をとってセクタ回路67の入力端子Aに入れている。セクタ回路67は、さらに、入力端子BにPLL回路40の出力CLK_inを入れるとともに、S入力端子に外部からのSELECT信号を入れており、入力Sのレベルに応じて入力A, Bのいずれか一方のみを選択的に出力するようになっている。より具体的には、SELECT信号がハイ・レベルの間(すなわち通常のオペレーション時)は入力Bをそのまま出力し、逆にSELECT信号がロー・レベルの間(すなわちディレイ・パルス試験時)は入力A(すなわちORゲート67の出力)を出力するようになっている。そして、セクタ回路67の出力は、チップ100内の同期用クロック信号(CLK_out)として、順序回路ブロック30の各ラツ

チ回路31…に分配されるようになっている。

【0032】図4には、付加的クロック回路50内の各DFF51…等のタイミング・チャートを、ディレイ・パルス試験時(図4(a))と通常のオペレーション時(図4(b))とに分けて示している。

【0033】ディレイ・パルス試験を行なう場合、図4(a)に示すように、ロー・レベルのSELECT信号が入力されている。TEST_ON信号がハイ・レベルに遷移すると、DFF51は次のクロックの立ち上がり(T_1)に同期してその出力Qをハイ・レベルに転じる。DFF52

10

は、DFF51_Qを受け取って、その次のクロックの立ち上がり(T_3)に同期してその反転出力NQをロー・レベルに転じる。そして、ANDゲート62は、DFF51_QとDFF52_NQの論理積をとって、 $T_1 \sim T_3$ の間だけハイ・レベルを出力する。一方、DFF53は、クロックCLK_inを反転入力しているの、TEST_ON信号がハイ・レベルに遷移した後最初のクロックの立ち下がり(T_2)に同期してその出力Qをハイ・レベルに転じる。DFF54は、DFF53_Qを受け取って、次のクロックの立ち下がり(T_4)に同期してその反転出力NQをロー・レベルに転じる。そして、ANDゲート63は、DFF53_QとDFF54_NQの論理積をとって、 $T_2 \sim T_4$ の間だけハイ・レベルを出力する。さらに、ANDゲート64は、ANDゲート62, 63の論理積をとって、時刻 $T_2 \sim T_3$ の間だけハイ・レベルを出力する。DFF55は、ANDゲート62の出力がハイ・レベルに転じた後最初のクロックの立ち上がり(T_3)に同期してその出力Qをハイ・レベルに転じ、さらにその次のクロックの立ち上がり(T_5)に同期してその出力Qをロー・レベルに戻す。また、DFF56は、ANDゲート63の出力がハイ・レベルに転じた後最初のクロックの立ち下がり(T_4)に同期してその出力Qをハイ・レベルに転じ、さらにその次のクロックの立ち下がり(T_6)に同期してその出力Qをロー・レベルに戻す。ANDゲート65は、DFF55_QとDFF56_Qの論理積をとって、時刻 $T_4 \sim T_6$ の間だけハイ・レベルを出力する。そして、ORゲート66は、ANDゲート64, 65の論理和をとって、時刻 $T_2 \sim T_3$ 及び $T_4 \sim T_6$ の間にハイ・レベルを出力する。この場合、SELECT信号はロー・レベルなので、セクタ回路67はORゲート66の出力を選択的にCLK_outとして出力する。したがって、付加的クロック回路50の出力CLK_outは、通常のクロック信号CLK_inと同じ間隔をおいた2発のパルス波となるのである。

【0034】一方、通常のオペレーション時には、図4(b)に示すように、ハイ・レベルのSELECT信号が入力されている。この場合も、付加的クロック回路50内のDFF51…等は、図4(a)と同様に動作するが、セクタ回路67は入力B、すなわち通常のクロック信号CLK_inをそのままCLK_outとして出力する。

【0035】なお、入力クロックと同じ周期のパルス波を生成すること自体は当業者には容易に設計・製作できる事柄であり、付加的クロック回路50は図3に示した構成に限定されるものではない。

【0036】本実施例に係る半導体集積回路100は、PLL回路40や付加的クロック回路50を1チップ内に含むものである。すなわち、LSI本来の論理回路以外の回路部分のために貴重な実装面積を割くことになり、その分材料費等のコスト・アップにつながる。しかしながら、PLL回路40や付加的クロック回路50を

内部に備えることによって、実際の動作と同じ速度でA/C的なディレイ・パルス試験を行なうことができ、不良ウェーハ／不良チップを回路製造プロセスの早期段階で見つけ出し除去できる。したがって、不良品のための余分な製造コストを省くことができるので、本発明のメリットは実装面積上のデメリットに対しては余りがあると言えよう。

【0037】以上、特定の実施例を参照しながら、本発明について詳解してきた。しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修正や代用を成し得ることは自明である。すなわち、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明の要旨を判断するためには、冒頭に記載した特許請求の範囲の欄を参酌すべきである。

【0038】

【発明の効果】以上詳記したように、本発明によれば、内部クロックと同等の高周波でディレイ・パルス試験を行なえるスキャン・パス設計の同期式半導体集積回路を提供することができる。

【0039】したがって、本発明に係る半導体集積装置は、比較的低周波のクロック信号を外部から入力して、入力クロックに基づいて通常動作時と同じ比較的高周波のクロック信号を内部のクロック発生部（例えばPLL回路）で発生して、内部クロック信号の周期と同じ遅延幅をもつディレイ・パルスを生成するようにした。したがって、該ディレイ・パルスをタイミングとしてスキャン・パス試験すれば、半導体集積回路の通常の動作と同じA/C的な試験を行なえるので、クロック・スキューの問題も充分検証することができるのである。

【図面の簡単な説明】

【図1】図1は、本発明を具現した半導体集積回路のうち、本発明の要旨に特に関連する構成要素のみを抽出して示した概観図である。

【図2】図2は、半導体集積回路100に利用可能なPLL回路の構成を例示した図である。

【図3】図3は、付加的クロック回路50の構成を示した図である。

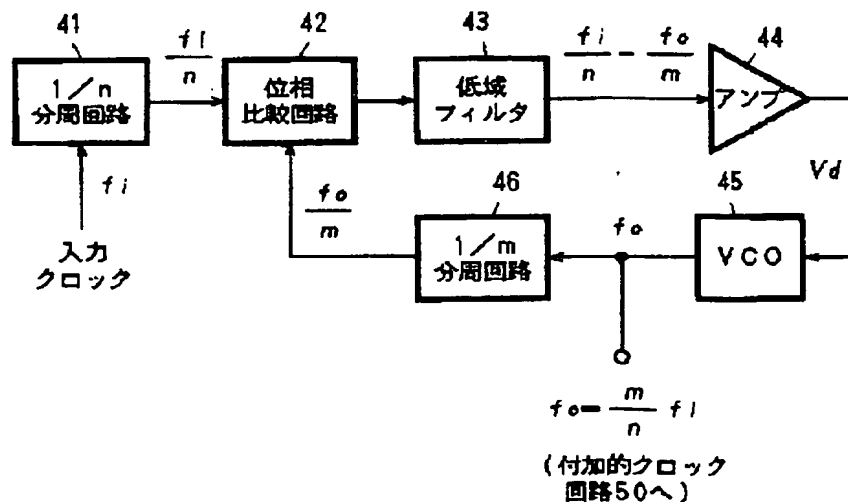
【図4】図4は、付加的クロック回路50内の各フリップ・フロップのタイミング・チャートを示した図であり、より具体的には、図4(a)はディレイ・パルス試験時のタイミング・チャートを示す図、図4(b)は通常のオペレーション時のタイミング・チャートを示す図である。

【図5】図5(a)はスキャン・パス設計された回路の一部を模式的に描いた図であり、図5(b)はディレイ・パルス試験する際にクロックに入力する信号（ディレイ・パルス）のチャートを示した図である。

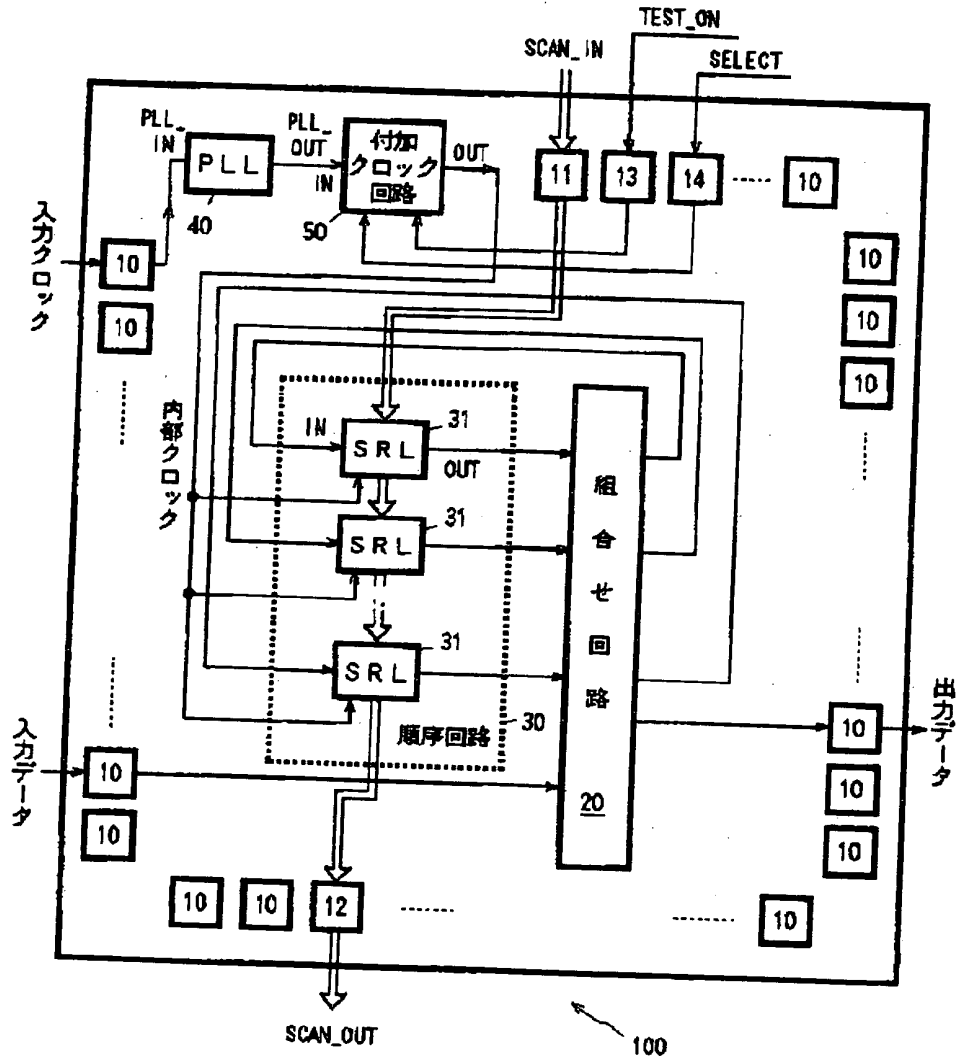
【符号の説明】

10…I/Oパッド、11…SIパッド、12…SOパッド、13…TEST_ONパッド、14…SELECTパッド、20…組合せ回路ブロック、30…順序回路ブロック、40…PLL回路、41…1/n分周回路、42…位相比較回路、43…低域フィルタ、44…アンプ、45…電圧制御発振回路、46…1/m分周回路、50…付加的クロック回路、51、52、53、54、55、56…Dフリップ・フロップ、61…NOTゲート、62、63、64、65…ANDゲート、66…ORゲート、67…セレクト回路、100…半導体集積回路。

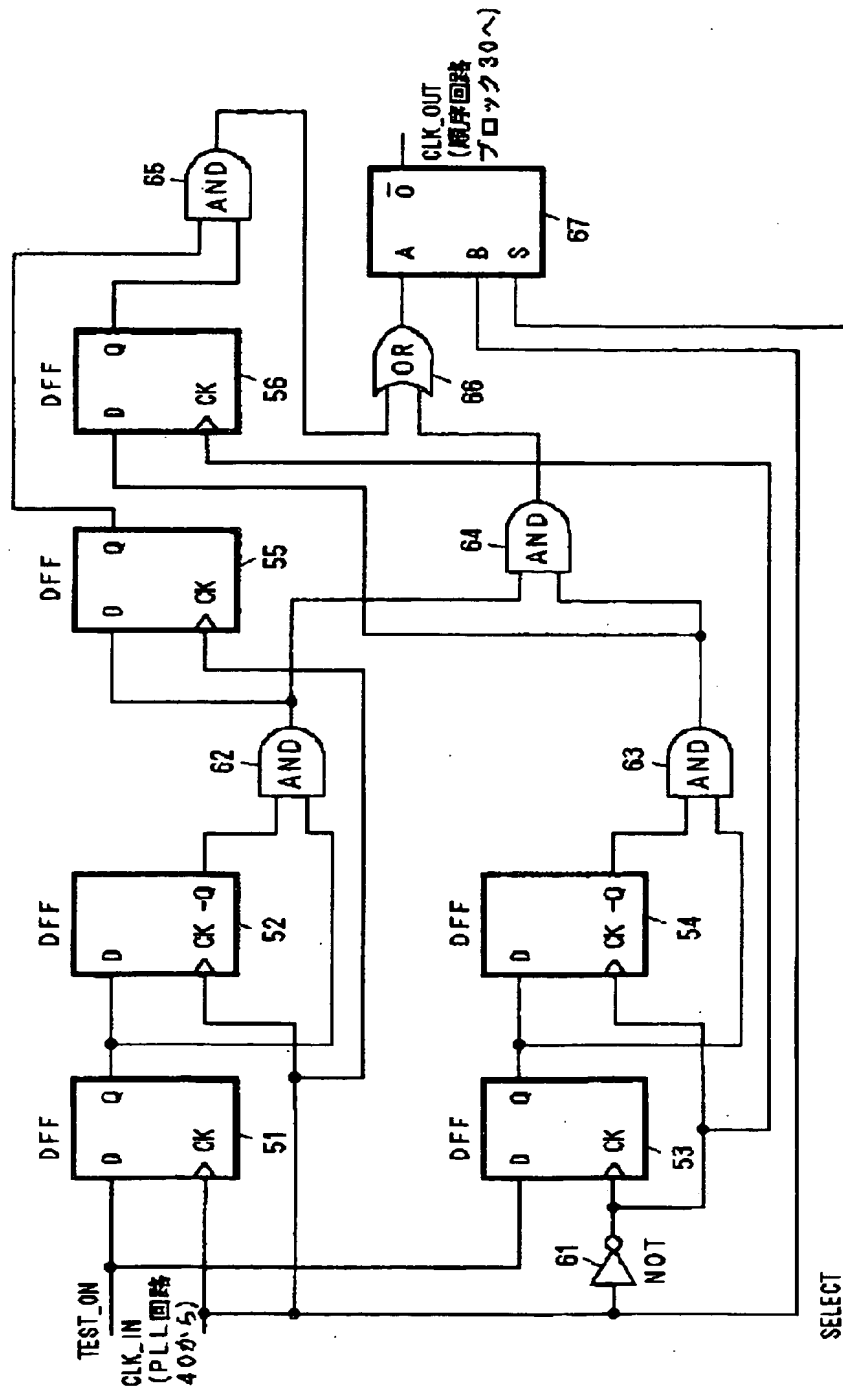
【図2】



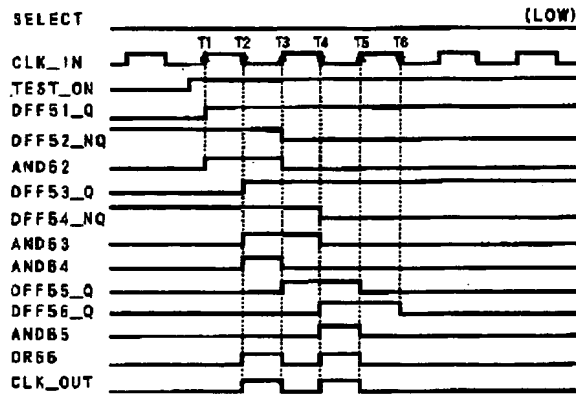
【図1】



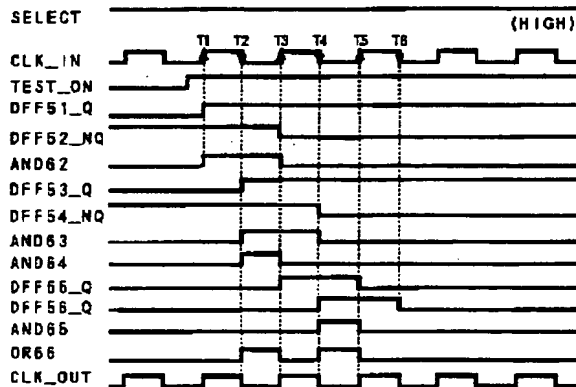
【図3】



【図4】

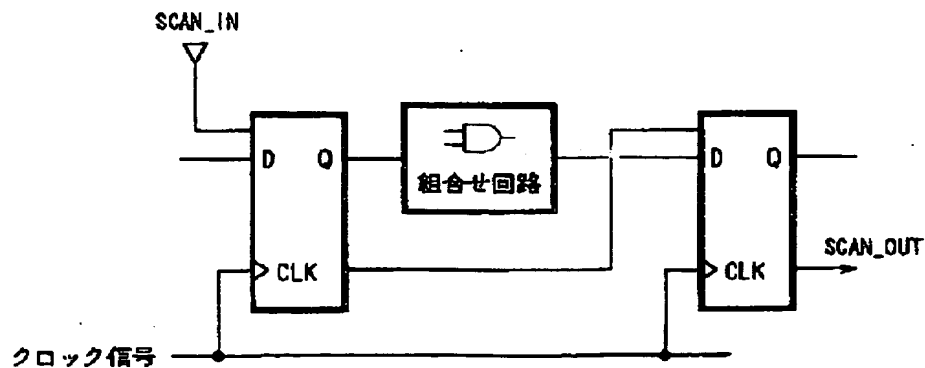


(a) デレイ・バス試験時

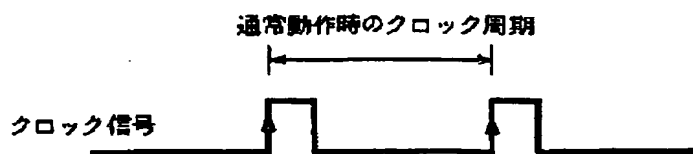


(b) 通常のオペレーション時

【図5】



(a)



(b)